

PAT-NO: JP362252139A  
DOCUMENT-IDENTIFIER: JP 62252139 A  
TITLE: ETCHING METHOD FOR SEMICONDUCTOR SUBSTRATE  
PUBN-DATE: November 2, 1987

INVENTOR-INFORMATION:

NAME

OKABE, YUTAKA

KINOSHITA, HARUHISA

ISHIDA, TOSHIMASA

ASSIGNEE-INFORMATION:

NAME

OKI ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP61095657

APPL-DATE: April 24, 1986

INT-CL (IPC): H01L021/302, H01L021/76 , H01L027/04

US-CL-CURRENT: 438/714, 438/FOR.117

ABSTRACT:

PURPOSE: To prevent a stepwise difference and a bowling from occurring in a trench by employing a mask having a window of the shape sequentially expanding outside from the surface of a mask toward the surface of a semiconductor substrate in an area of a window parallel to the surface of the substrate.

CONSTITUTION: The inner wall of a window is dry etched under etching conditions of strong directivity to a semiconductor substrate 31 from above a reversely tapered mask pattern 41. Even when the mask layer 41 is etched and deformed, edge portions 39a always cover the exposed surface of the

substrate  
in an overhanging state. Thus, the inner wall of the window 39 of  
the layer 41  
remains reversely tapered shape. In this manner, since the inner  
wall of the  
window 39 is less directly contacted with etching ions, the abrupt  
film  
reduction of the layer 41 does not occur in a direction parallel to  
the surface  
of the substrate to eliminate a stepwise difference and a bowling on  
the inner  
wall of a trench to obtain a tapered trench 45.

COPYRIGHT: (C)1987, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-252139

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)11月2日

H 01 L 21/302  
21/76  
27/04

J-8223-5F  
M-7131-5F  
7514-5F

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 半導体基板のエッチング方法

⑮ 特 願 昭61-95657

⑯ 出 願 昭61(1986)4月24日

⑰ 発 明 者	岡 部 豊	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰ 発 明 者	木 下 治 久	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰ 発 明 者	石 田 俊 正	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰ 出 願 人	沖電気工業株式会社	東京都港区虎ノ門1丁目7番12号	
⑰ 代 理 人	弁理士 大 垣 孝		

#### 明 細 書

##### 1. 発明の名称

半導体基板のエッチング方法

##### 2. 特許請求の範囲

(1) 方向性の強いイオンを用いて半導体基板をエッチングするに当り、

半導体基板の基板面と平行な窓面積がマスク表面から前記基板面に向かうに従って順次に外側に広がる形状の当該窓を有しかつ耐ドライエッチング性の高いマスク材料から成るマスク層を用いて、前記半導体基板をエッチングすることを特徴とする半導体基板のエッチング方法。

(2) 前記マスク層の形成は、

基板面上に、オーバーハング形状の窓を有するレジスト膜をマスクとして用いて、金属膜を被着する工程と、

レジスト膜を除去した後マスク材料を前記金属膜を含む基板面上に被着する工程と、

マスク材料表面から金属膜表面に至るまでエッチングを行って平坦なエッチング面を形成する工

程と、

前記金属膜を除去する工程と

を含むことを特徴とする特許請求の範囲第1項記載の半導体基板のエッチング方法。

(3) マスク材料は酸化膜、窒化膜及び低融点ガラスの群から選ばれた一種以上の材料とすることとを特徴とする特許請求の範囲第1項又は第2項記載の半導体基板のエッチング方法。

##### 3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体基板のエッチング方法に関するもので、特に半導体基板にキャパシタ形成用或いは素子間分離部形成用の溝(以下、この溝をトレンチと称することもある)を形成する方法に関するものである。

(従来の技術)

LSIの微細化、高集積化に伴ない例えばダイナミックランダムアクセスメモリのメモリセルの密積キャパシタ(容量)、素子間分離部等も高集積化に対応することが出来る構造にする必要が生

じている。このような目的のため、半導体基板に所望の深さのトレンチを設けこのトレンチ内部に誘電体を充填してキャパシタを形成したり、又は、素子の周囲にこのようなトレンチを設けこのトレンチ内部に絶縁体を充填して素子分離部とすることが行われている。

このようなトレンチを得るため従来から種々の半導体基板のエッチング方法が提案されていて、その一例としては例えば文献(昭和59年秋季第45回応用物理学会学術講演会講演予稿集 14P-U-10 P.289)に開示されているものがある。

第2図(A)～(E)はこの文献に開示されている従来のトレンチ形成方法を略的に説明するための製造工程図であり、工程進度に応じたウエハを断面図で示したものである。

熱酸化等の好適な方法によって半導体基板11としての例えばSi基板上にマスク材13としての例えばSiO<sub>2</sub>層を形成する。次に、このマスク材13上に例えばOFPR(東京応化工業(株)製ポジ型レジストの商品名)等のレジストを塗布し、

基板11を異方性エッチングすることが出来るようなエッチング方法、例えば方向性の強いイオンの生ずるエッチング条件で行っていた。

(発明が解決しようとする問題点)

しかしながら、半導体基板11にトレンチ23を形成するためのエッチングを行う際にはマスク材13も徐々に膜減りする。従って、トレンチ23を形成するためのエッチングが進むと共にマスク層21の形状が変形するため、トレンチ23内部の形状が所望とする形状でないものになる場合が生ずる。第2図(D)及び(E)を参照してこのようなマスク層21の変形に起因する従来の半導体基板のエッチング方法の問題点につき説明する。

従来のエッチング方法で用いられているマスク層21は、マスク層21の窓19の内壁面が基板面11a(第2図(D)参照)に対して垂直か、或いは、基板面と平行な窓の面積がマスク層21表面から基板面に向かうに従い小さくなるいわゆるテーパー状になったものであった。ところで、窓19の、基板面とは反対側の開口部のエッジ部分19a・

さらにこのレジストを乾燥してレジスト膜15を得る(第2図(A))。

次に、フォトリソを通してこのレジスト膜15に対して露光を行いその後現像を行ってマスク材13の、所定の部分領域を露出するようなレジストパターン17を得る(第2図(B))。

次に、例えば反応性スパッタエッチング法等を用いマスク材13の、レジスト膜15から露出した部分領域をエッチングして半導体基板11の所定領域を露出するための窓19を形成する(第2図(C))。

次に、有機溶剤等によってマスク材13上のレジスト膜15を除去することによって半導体基板11上にマスク層21が形成される(第2図(D))。

次に、好適な方法によって半導体基板11の、マスク層の窓19により露出されている部分領域をエッチング除去して所望とする深さのトレンチ23を形成していた(第2図(E))。

このようなトレンチ23を形成するためのエッチングをSiO<sub>2</sub>に対する選択比が高く然も半導体

(第2図(D)参照)のような部分ではイオンによるスパッタリングの収率が増大するため、角がとれ易い。従って、上述したような形状のマスク層21の場合角がとれて傾斜がつき、さらに、この傾斜部が半導体基板表面に達するとこのマスク材の基板面と平行な方向への膜減りが急速に進んでしまうという問題点があった(第2図(E)参照)。従って、第2図(E)に点線で示した形状を有していたマスク層21がトレンチ23を形成するためのエッチングと共に第2図(E)に実線で示すようなマスク層21aに変形する。

このようにマスク層が変形すると膜減りした部分下の半導体基板がエッチングされるため、第2図(E)に示すような段差25が生じる。又、エッチング用のイオン27の一部は変形したマスク層21aの傾斜部で反射された後トレンチ内部の側壁面をエッチングするため、側壁面にくぼみ(ボウリング)29が生じる。キャパシタや素子分離部の形成に当りそれぞれの目的に応じトレンチ23内に誘電体或いは絶縁体を堆積させるが、このような

段差27やボウリング29を埋込むことは非常に難しく、これがため、所望の容量値や絶縁抵抗値が得られない等の弊害が生ずる。

この発明の目的は、上述した問題点を解決し、トレンチ形成のためのエッチングが進むと共にマスク材の膜減りが生じて、トレンチ内部に段差やボウリングが生ずることのないような半導体基板のエッチング方法を提供することにある。

#### (問題点を解決するための手段)

この目的の達成を図るため、この発明によれば、方向性の強いイオンを用いて半導体基板をエッチングするに当り、

半導体基板の基板面と平行な窓面積がマスク表面から前述の基板面に向かうに従って順次に外側に広がる形状の窓を有しかつ耐ドライエッチング性の高いマスク材料から成るマスク層を用いて、前述の半導体基板をエッチングすることとを特徴とする。

この発明の実施に当り、前述のマスク層の形成工程は、基板面上に、オーバーハング形状の窓を

分が他の部分よりエッチングされ易いことによつて傾斜部が生じて、このマスク層の窓は逆テーパー構造の窓でありその内壁面が底状に半導体基板を覆う。従つて、エッチングされたエッジ部の側面と、窓の内壁面とが交わつて構成する輪郭が窓の外周となり半導体基板の、この外周を有した窓によつて露出された部分領域がエッチングされることになる。これがため、エッチングイオンをトレンチ内壁面に反射させるような傾斜部が形成されることはなく、当然、基板面と平行な方向へのマスク層の急激な膜減りも起こらない。

#### (実施例)

以下、図面を参照してこの発明の半導体基板のエッチング方法の実施例につき説明する。尚、以下の実施例の説明に用いる各図はこの発明が理解できる程度に概略的に示してあるにすぎず、各構成成分の寸法、形状及び配置関係は図示例に限定されるものではない。又、これらの図において同一の構成成分については同一の符号を付して示してある。

有するレジスト膜をマスクとして用いて、金属膜を被着する工程と、このレジスト膜を除去した後マスク材料を前述の金属膜を含む基板面上に被着する工程と、このマスク材料表面から金属膜表面に至るまでエッチングを行つて平坦なエッチング面を形成する工程と、前述の金属膜を除去する工程とを含むのが好適である。

この発明の実施に当り、マスク材料は酸化膜、窒化膜及び低融点ガラスの群から選ばれた一種以上の材料とするのが好適である。

#### (作用)

この発明の半導体基板のエッチング方法によれば、マスク層を耐ドライエッチング性の高い材料で構成し、かつ、このマスク層の窓の内壁面が基板面からマスク層表面に向うに従い傾り出すような逆テーパー構造の窓を有するマスク層を用いてトレンチのエッチングを行っている。このマスク層は耐ドライエッチング性が高いと云えどもトレンチ形成のためのエッチングの際には従来と同様に膜減りが生ずる。しかしながら、窓のエッジ部

この発明は半導体基板の基板面と平行な窓面積がマスク表面からこの基板面に向うに従つて順次に外側に広がる形状の窓つまりこの窓の内壁面が逆テーパー状の窓を有し、かつ、耐ドライエッチング性の高いマスク材料から成るマスク層を用い半導体基板の、この窓から露出した領域に対して方向性の強いイオンを用いエッチングを行つて、例えばメモリセルの蓄積容量等に用いて好適なキャパシタ用トレンチ等を形成するものである。

第1図(A)～(I)はこの発明の半導体基板のエッチング方法の一実施例を示す製造工程図である。これら図は工程進度に応じ主要工程でのウエハを断面図で示したものである。

先ず、半導体基板31としての例えばSi基板上にレジストを塗布し、さらにこのレジストを乾燥してレジスト膜33を得る(第1図(A))。次にこのレジスト膜33に対して露光を行いその後現像を行つて半導体基板31の基板面の、所定の部分領域を露出するような窓33aを有するレジスト膜33を得る(第1図(B))。尚、この窓33aをその

内壁面が基板面からレジスト表面に向うに従い傾りだすようなオーバーハング状のものとする(第1図(B))。

次に、例えば電子ビーム蒸着法あるいはスパッタ法等の好適な方法を用いこのレジスト膜33を含む半導体基板31上に例えばTi(チタン)等の金属膜35を被着する(第1図(C))。次に、有機溶剤その他好適な薬品を用いこのレジスト膜33を除去することによってこのレジスト膜上の金属膜を除去し、基板面の、窓33aに対応する領域上のみに金属膜35aを残存させる。このようにして残存させた金属膜35aはレジスト膜33の形状が転写され台形形状となる(第1図(D))。

次に、CVD法あるいはスパッタ法等の好適な方法を用いこの台形形状の金属膜35aを含む半導体基板31上に耐ドライエッチング性の高いマスク材37として例えばSi酸化膜を形成する(第1図(E))。次にエッチバック等の好適な方法を用いてこのマスク材37表面を平坦化すると共に、金属膜35aの表面を露出させる(第1図(F))。

41もエッチングされ第1図(H)に点線で示す形状から実線で示す形状にマスク層41が変形した場合でも窓39の、マスク層41表面側のエッジ部分39a(第1図(G)参照)が底状に半導体基板の露出面を常に覆うから、マスク層41の窓39の内壁面は逆テーパー形状のままとなる。従って、エッチングイオン43をトレンチ内壁面に反射させるような傾斜部が形成されることはない。さらに、窓39の内壁面にエッチングイオンが直接接触することが少なくなるから、基板面と平行な方向へのマスク層41の急激な膜減りが生ずることがなく、よって、従来のようにマスク層が無くなった部分に段差が生ずるというようなことはない。

このようなマスク層をマスクとして用いトレンチエッチングを行うと、トレンチのエッチングが進むに従って窓39の、基板面と平行な開口面積が広がってゆきこれに伴ないエッチングされる半導体基板領域も徐々に広がる。従って、トレンチ内壁面にボウリング等の荒れが生ずることなく、さらに傾斜する内壁面を有する第1図(I)に示

尚、このマスク材を低融点ガラス例えばPSG(リンシリケートガラス)、BPSG(ボロン・リンシリケートガラス)を以って構成した場合であれば、このガラスの平坦化をフローティングによって容易に行うことが出来る。

次に、金属膜35を除去する。この金属膜35の除去をこの場合半導体基板31及びマスク材37を溶かすことのない酸例えば硫酸を用いて行う。この金属膜35を除去した跡が窓39となり、従って、マスク材の所定の位置に窓39の形成されたマスク層41を得ることが出来る(第1図(G))。尚、この窓は、半導体基板の基板面と平行な窓面積がマスク表面からこの基板面に向うに従って順次に外側に広がる形状の窓つまりこの窓の内壁面が逆テーパー状のものとなる。

このような窓39を有するマスクパターン41上から半導体基板に対して方向性の強いエッチング条件でドライエッチングを行う。このエッチングについて第1図(H)を参照して詳細に説明する。トレンチ形成のためのエッチングに際しマスク層

すようなテーパー形状のトレンチ45を得ることが出来る。

尚、この発明は上述した実施例に限定されるものではない。

例えば、上述した実施例のマスク層の窓の内壁面がなだらかな曲率を有した逆テーパー形状であっても、実施例と同様な効果を期待することが出来る。

又、マスク材として用いる材料を窒化膜、低融点ガラス等の酸化膜以外の好適な材料を以って構成することも出来る。

さらに、トレンチの、半導体基板面上から見た平面形状に関してはトレンチの目的に応じた形状とすることが出来る。

#### (発明の効果)

上述した説明からも明らかなように、この発明の半導体基板のエッチング方法によれば、半導体基板の基板面と平行な窓面積がマスク表面から基板面に向かうに従い外側に広がるような形状(逆テーパー形状)の窓を有するマスク層を用い

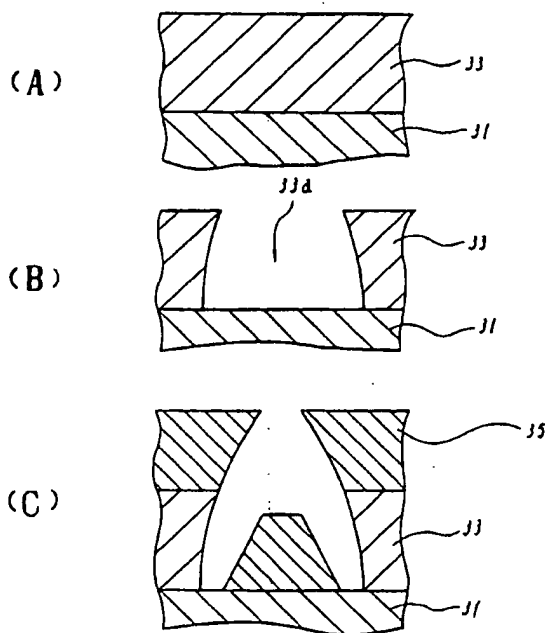
て半導体基板をエッチングする。このため、半導体基板のエッチング中にマスク層の膜減りが生じてもこの窓の、マスク層表面側のエッジ部分が庇状に半導体基板の露出面を常に覆うから、マスク層の窓の内壁面は逆テーパー形状のままとなる。

従って、エッチングイオンをトレンチ内壁面に反射させるような傾斜部が形成されることはないから、従来のようなボウリングが生ずることがない。さらに、基板面と平行な方向へのマスク層41の急激な膜減りが生ずることがないから、従来のようにマスク層が無くなった部分に段差が生ずるというようなことが起こらない。

又、この発明の半導体基板のエッチング方法によってトレンチを形成した場合、トレンチ内壁面は荒れの少ないなだらかなテーパー形状となるため、このトレンチ内部にキャパシタ形成用の誘電体或いは素子分離部形成用の絶縁体を堆積することを容易に行うことが出来る。

#### 4.図面の簡単な説明

第1図(A)～(I)はこの発明の半導体基板



31:半導体基板 33d:レジスト膜の窓  
33:レジスト膜 35:金属膜  
この発明の半導体基板のエッチング方法の説明図

第1図

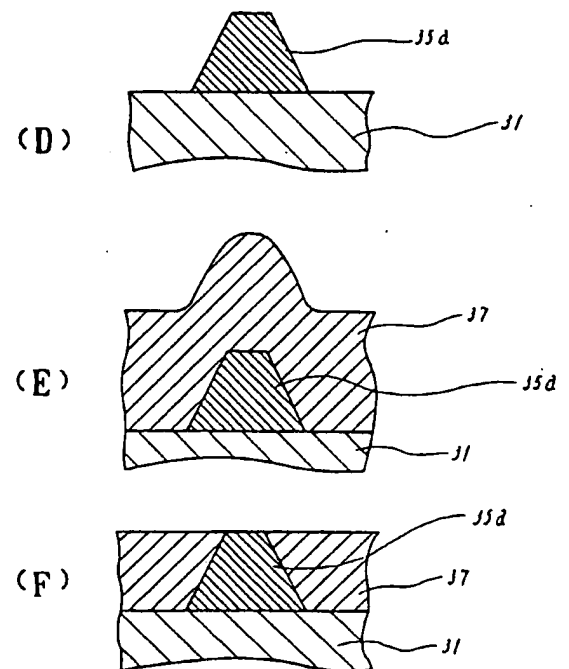
のエッチング方法の説明に供する製造工程図、

第2図(A)～(E)は従来の半導体基板のエッチング方法の説明に供する製造工程図である。

31…半導体基板、 33…レジスト膜  
33a…レジスト膜の窓、 35…金属膜  
35a…台形形状の金属膜  
37…マスク材、 39…窓  
39a…窓のエッジ部分、 41…マスク層  
43…エッチングイオン  
45…トレンチ。

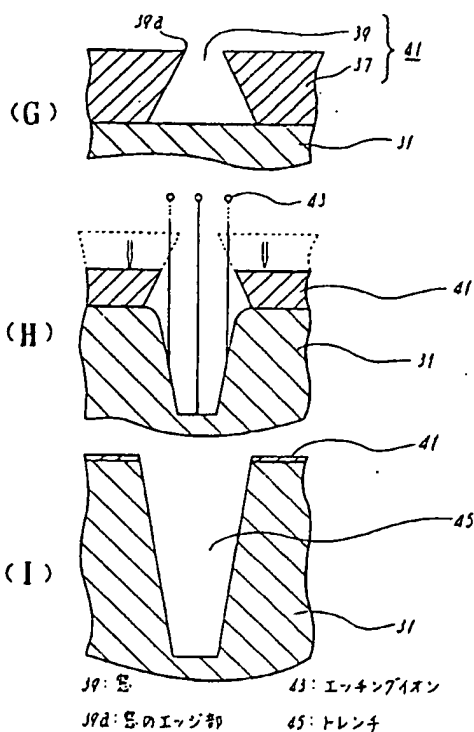
特許出願人 沖電気工業株式会社

代理人 弁理士 大垣 幸

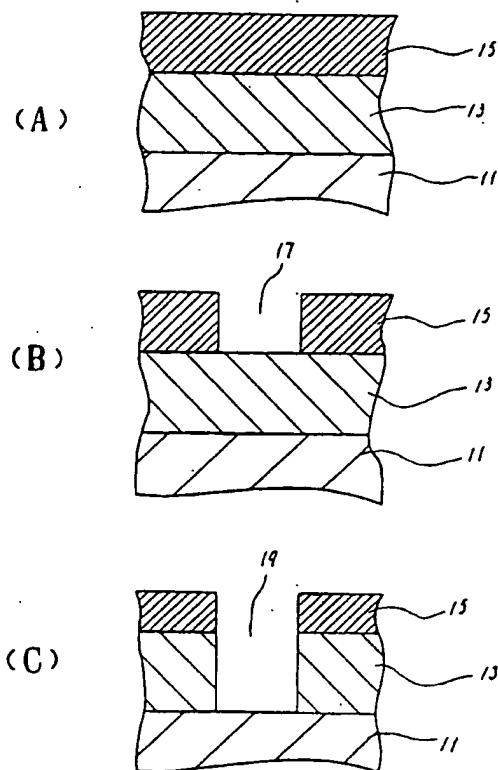


35d:台形形状の金属膜  
37:マスク材  
この発明の半導体基板のエッチング方法の説明図

第1図



39: 窓  
39a: 窓のエッジ部  
41: マスク層  
43: エッチングイオン  
45: トレンチ  
この発明の半導体基板のエッチング方法の説明図  
第 1 図



従来技術の説明図

第 2 図

# 手続補正書

昭和62年3月31日

特許庁長官 黒田 明雄 殿

1 事件の表示 昭和61年特許願095657号

2 発明の名称

半導体基板のエッチング方法

3 補正をする者

事件との関係 特許出願人

住所 (〒-105)

東京都港区虎ノ門1丁目7番12号

名称 (029) 沖電気工業株式会社

代表者 橋本 南海男

4 代理人 〒170 ☎ (988)5563

住所 東京都豊島区東池袋1丁目20番地5

池袋ホワイトハウスビル905号

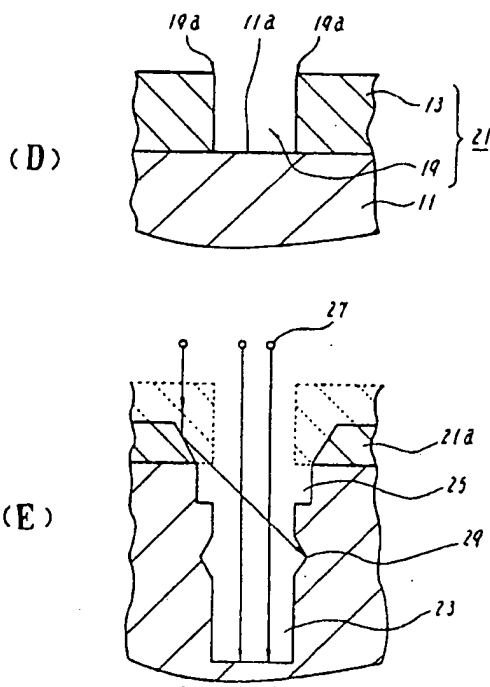
氏名 (8541) 弁理士 大垣 孝

5 補正命令の日付 自発

6 補正の対象

明細 発明の詳細な説明の欄

7 補正の内容 別紙の通り



従来技術の説明図

第 2 図





- (1) 明細書、第11頁第12行目～同頁第13行目の  
「レジスト膜33の形状が転写され」を『金属膜35  
が堆積するに従い内壁面がレジスト表面から窓の  
内側にせり出すような形状となるために開口窓が  
せまくなり』と訂正する。
- (2) 明細書、第12頁第3行目の「リンシリケート  
ガラス」を『リンシリケートガラス)』と訂正す  
る。

PTO 03-2759

CY=JP DATE=19871102 KIND=A  
PN=62-252139

SEMICONDUCTOR SUBSTRATE ETCHING METHOD  
[Handotaikibanno etching hoho]

Yutaka Okabe, et al.

UNITED STATES PATENT AND TRADEMARK OFFICE  
Washington, D.C. April 2003

Translated by: FLS, Inc.

PUBLICATION COUNTRY	(10): JP
DOCUMENT NUMBER	(11): 62-252139
DOCUMENT KIND	(12): A
	(13): PUBLISHED UNEXAMINED PATENT APPLICATION (Kokai)
PUBLICATION DATE	(43): 19871102 [WITHOUT GRANT]
PUBLICATION DATE	(45): [WITH GRANT]
APPLICATION NUMBER	(21): 61-095657
APPLICATION DATE	(22):
PRIORITY DATE	(32):
ADDITION TO	(61):
INTERNATIONAL CLASSIFICATION	(51):
DOMESTIC CLASSIFICATION	(52):
PRIORITY COUNTRY	(33):
PRIORITY NUMBER	(31):
PRIORITY DATE	(32):
INVENTOR	(72): OKABE, YUTAKA; KINOSHITA, HARUHISA; ISHIDA, TOSHIMASA.
APPLICANT	(71): Oki Denki Corp.
TITLE	(54): SEMICONDUCTOR SUBSTRATE ETCHING METHOD
FOREIGN TITLE	[54A]: Handotaikibanno etching hoho

## 1. Name of this Invention

Semiconductor Substrate Etching Method

## 2. Claims

[1] Semiconductor substrate etching method with the following characteristic:

For etching a semiconductor substrate using ions having strong directionality;

said semiconductor substrate is etched using a mask layer that consists of a masking material having a high dry-etching characteristic and contains a window area existing parallel to the substrate surface of the semiconductor substrate and gradually spreading outwardly toward to the substrate surface.

[2] In Claim 1, said semiconductor substrate etching method includes a process of depositing a metallic film using a resist film having an over-hung window on the substrate surface, process of depositing the mask material over the substrate surface containing said metallic film after removing the resist film, process of forming a flat etching surface by etching the surface from the mask material surface to the metallic film surface, and process of removing said metallic film.

\* Numbers in the margin indicate pagination in the foreign text.

[3] In Claim 1 or 2, the mask material is an oxidized film, nitride film, or low-melting point glass.

### 3. Detailed Explanation of this Invention

#### [Industrial Field]

This invention pertains to a semiconductor substrate etching method and is particularly associated with a method that forms a groove (may be called 'trench') for placing a capacitor or separation area between elements on the substrate area of the semiconductor substrate.

#### [Conventional Technology]

With the recent tendency of smaller and more integrated LSI devices, various related parts, such as accumulated capacitor (volume) of memory cell of dynamic random access memory, separator of elements, etc., are required to accommodate such highly integrated /182 LSI. For this purpose, a trench of selected depth formed on a semiconductor substrate is filled with a dielectric part for forming a capacitor, or, such trench created around an element is filled with an insulation part to provide an element separation part.

In order to obtain such trench, various semiconductor substrate-etching methods were developed ('Applied Physics Society Lectures', No. 45, Fall of 1984, 14P-U-10, p.289).

Parts (A) - (E) in Fig. 2 are diagrams showing the production processes described in said literature, presenting cross-sectional diagrams of wafers according to the processing progressions.

First, a mask (e.g.,  $\text{SiO}_2$ ) 13 is formed on a semiconductor substrate (e.g., Si) 11 using an applicable method such as heat-oxidation. Next, a resist (e.g., OFPR, positive resist, product of Tokyo Ooka Kogyo) is coated over the mask 13 and dried to create a resist film 15 (Part A of Fig. 2).

Then, the resist film 15 is exposed through a photo mask and developed to obtain a resist pattern 17 exposing a specific area of the mask material 13 (Part B of Fig. 2).

Next, the area of mask 13 exposed from the resist film 15 is etched using a reactive sputtering etching method to form a window 19 in order to expose a specific region of the semiconductor substrate 11 (Part C of Fig. 2).

By removing the resist film 15 on the mask using an organic solvent or other similar material, a mask layer 21 is formed on the semiconductor substrate 11 (Part D of Fig. 2).

Lastly, a trench 23 having a selected depth is created by etching/removing the section exposed from the mask window 19 on the semiconductor substrate 11 (Part E of Fig. 2).

In this case, for forming this trench 23, the semiconductor substrate 11 is etched in the conditions that can provide a high  $\text{SiO}_2$  selection ratio and effective anisotropic etching (e.g., etching creating strong directive ions).

[Problems to be solved by this invention]

However, to etch a trench on a semiconductor substrate 11, a mask 13 is gradually thinned. Therefore, as the etching progresses for forming a trench 23, the mask layer 21 is deformed. As a result, the inner trench 23 may form an undesirable shape. The following further explains this problem regarding to the conventional semiconductor etching method while referring to Parts D and E of Fig. 2.

When the conventional substrate etching method is performed, the inside wall of the window 19 of mask 21 is made vertical to the substrate surface 11a (see Part D of Fig. 2), or the window area parallel to the substrate surface is made to gradually decrease as it approaches the substrate surface from the mask layer 21 (i.e., taper-like). In this case, the yield of ion-based sputtering increases at the edge area 19a (see Part D of Fig. 2) of the opening of the window 19 existing at the opposite side of the substrate surface and remove the corners. Therefore, if the mask is shaped as described above, eliminated corners of the mask layer 21 form sliding surfaces. Furthermore, as such sliding area reaches the substrate surface, the amount of film in the direction parallel to the substrate surface drastically decreases (see Part E of Fig. 2). Therefore, as etching progresses for creating a trench 23, the mask layer 21 (see dot line in Part E of Fig. 2) is deformed to the shape of mask layer 21A shown as lined part in Part E of Fig. 2.

When the mask layer deforms in this manner, the semiconductor substrate below the thinned film is also etched to create a level gap 25 shown in Part E of Fig. 2. In addition, since a portion of ions 27 used for etching is reflected by the sliding area of the deformed mask 21 and etches the inside wall surface of the trench, a dent (bowling) 29 is formed on the side surface. Although a dielectric part or insulation part is deposited on the inside surface of the trench 23 depending on the applicable production of capacitor or element separation part, it is fairly difficult to fill the gap /183 27 and bowling 29 in the trench. As a result, desired capacity value or insulation resistance value cannot be produced.

This invention solves this problem by providing a new semiconductor substrate etching method that does not form a gap or bowling in the trench even when progression of etching to create a trench reduces the film thickness.

#### [Method to Solve the Problems]

To achieve the purpose as described above, this invention provides a semiconductor substrate etching method with the following characteristic:

For etching a semiconductor substrate using ions having strong directionality; said semiconductor substrate is etched using a mask layer that consists of a masking material having a high dry-etching characteristic and contains a window area existing parallel to the



substrate surface of the semiconductor substrate and gradually spreading outwardly toward to the substrate surface.

To perform such etching technique, said mask layer etching method preferably includes a process of depositing a metallic film using a resist film having an over-hung window on the substrate surface, process of depositing the mask material over the substrate surface containing said metallic film after removing the resist film, process of forming a flat etching surface by etching the surface from the mask material surface to the metallic film surface, and process of removing said metallic film.

In the method described above, the mask material is preferably an oxidized film, nitride film, or low-melting point glass.

#### [Operation]

With the semiconductor substrate etching technique based on this invention, said semiconductor substrate is etched using a mask layer that consists of a masking material having a high dry-etching characteristic and contains a window area shaped as a reversal taper in such a way that the inside wall surface of the mask layer window can extend further from the substrate surface as it reaches toward the film surface from the substrate surface. Although having a high dry-etching resistance characteristic, the etching process of this invention still reduces the mask layer film thickness in the same manner as experienced with the conventional method. However, when forming sliding surfaces on the window walls, as the edges of the

window are more easily etched than other areas, the mask layer can be shaped into a reversal taper to cover the semiconductor substrate with its curving inner wall. Therefore, the outline, that is the crossing etched edges and inside wall surfaces of the window, becomes the outer circumference of the window, thus allowing the area of the substrate within the outer circumference of the window (area exposed from the window) to be etched. As a result, since a sliding area that will reflect ions to the inside wall surface of the window is not created, drastic reduction of mask layer in the direction parallel to the substrate surface never occurs.

[Operational Example]

The following explains the operational example of this invention while referring to figures. Note that this invention is not limited to the measurements, shapes and positional relations shown in the figures, as each figure simply displays a rough layout of the method. Also, the same key in each figure designates the equivalent parts shown in the conventional method.

In this example, the semiconductor substrate contains a window area existing parallel to the substrate surface of the semiconductor substrate and gradually spreading outwardly toward to the substrate surface, forming a reversal taper shaped window. Also, the film is etched using a mask layer consisting of a masking material having a high dry-etching characteristic using ions having strong directionality toward the area exposed from the window so as to

create a trench that will be filled with a capacitor for creating an accumulation capacitor of memory cells.

Parts A - I of Fig. 1 are diagrams showing the production process using the etching technique based on this invention, which are cross-sectional diagrams of wafers presenting the processing progressions.

First, a resist is coated over the Si substrate (semiconductor substrate 31) and dried to create a resist film 33 (see Part A of Fig. 1). Next, the resist film 33 is exposed and developed to create a resist film 33 having a window 33a exposing a specific area of the semiconductor substrate 31 (see Part B of Fig. 1). In this case, the window 33a is shaped in such way that the inside wall surface /184 protrudes and hangs over the substrate surface as the wall surface becomes closer to the resist surface (see Part B of Fig. 1).

Next, a metallic film 35 (e.g., Ti) is deposited on the semiconductor substrate 31 including the resist film 33 using an applicable method such as an electron beam deposition or sputtering (see Part C of Fig. 1). Then, the resist film 33 is removed using an applicable organic solvent or chemical to eliminate a certain area of the metallic film on the resist film, leaving the metallic film 35a only at the area corresponding to the window 33a of the substrate surface. Thus, with the progression of deposition of metallic film 35, the inside wall surface is gradually shaped to extend toward the inside of the window from the resist surface, thereby narrowing the

window opening. Thus, the remaining metallic film 35a forms a trapezoid shape (see Part D of Fig. 1).

Then, a mask (e.g., Si oxide film) 37 having strong dry-etching resistance is formed on the substrate 31 containing the trapezoid-shaped metallic film 35a using an applicable method such as CVD or sputtering (see Part E of Fig. 1). Next, while flattening the mask surface 37 using a method such as etching-backing method, the surface of the metallic film 35a is exposed (see Part F of Fig. 1). In this case, by forming this mask with a low melting point glass, such as PSG (phosphoric silicate glass), or BPSG (boron-phosphoric silicate glass), the glass can be easily flattened by a floating process.

Succeeding to this process, the metallic film 35 is removed. To remove this metallic film 35, an acid, such as sulfuric acid that does not melt the semiconductor substrate 31 or mask 37 is used. Once the metallic film 35 is removed to form a window 39, a mask layer 41 having a window 39 at a specific location of the mask is created (see Part G of Fig. 1). This window has a specific shape so that the window surface area parallel to the substrate surface gradually widens towards the substrate surface from the mask surface, forming inside wall surfaces into a reversal taper.

Then, using the condition of strong directionality toward the substrate surface, dry etching is performed to the semiconductor substrate over the mask pattern 42 having said window 39. This etching process is further described below while referring to Part H

of Fig. 1. When etching for forming a trench also etches the mask layer 41 to cause deformation of the mask layer 41 (see the change as shown with a dot line shape to a straight line shape), the edge area on the surface of the mask 41 of the window 39 (see Part D of Fig. 1) always covers the exposed area of the substrate, while forming a curve. As a result, the mask layer 41 at the inside wall of the window 39 remains tapered, thereby not forming a sliding area that causes reflection of etching ions 42 toward the inside wall surface of the trench. Furthermore, an amount of etching ions directly contacting the inside wall surface of the window 39 is reduced, the mask layer 41 never drastically thins in the direction parallel to the substrate surface. Therefore, the level gap problem at the area of thinned mask layer never occurs.

By forming a trench using said mask layer, the opening area of window 39 parallel to the substrate surface widens as the etching progresses, thus gradually widening the etched substrate area. Therefore, a gradually sliding taper-shaped trench 45 not containing any roughness, such as bowling area can be formed on the inside wall surface of the trenching (see Part I of Fig. 1).

Note that this invention is not limited to the method described above.

For example, if the inside wall surface of the window of the mask layer is shaped as a reversal taper having a gradual curve, the same effectiveness as described above can be provided.

In addition, the mask material may be any applicable material and is not limited to a nitride film or oxide film (e.g., low melting point glass).

The horizontal trench surface may be shaped into any form depending on the intended purpose.

[Effectiveness of this Invention]

As explained above, with the substrate etching method based on this invention, the semiconductor substrate is etched using a mask layer containing a window area existing parallel to the substrate surface of the semiconductor substrate and gradually spreading outwardly toward the substrate surface. Therefore, as the edge area of the mask layer always covers the exposed substrate area, when the mask layer is thinned by the etching process, the inside wall surface of the mask layer window can maintain its reversal tapered shape. /185

As a result, since sliding surfaces that would cause ion reflections toward the inside wall surface of the trench are never formed, the conventionally experienced bowling problem can be prevented. Furthermore, since drastic film surface thinning never occurs, a level gap is not formed at the reduced film area.

In addition, when a trench is formed by the etching method based on this invention, the inside wall surface of the trench is shaped as a smooth and flat tapered surface. Therefore, a dielectric part for forming a capacitor or insulation part for forming an element separation part can be easily deposited on the surface of the trench.

#### 4. Simple Explanation of the Figures

Parts A - I of Fig. 1 are diagrams showing the production process using the etching technique based on this invention. Parts (A) - (E) in Fig. 2 are diagrams showing the conventional substrate etching processes.

31...Semiconductor substrate; 33...Resist film; 33a...Resist film window; 35...Metallic film; 35a...Trapezoid shaped metallic film; 37...Masking material; 39...Window; 39a...Edge of window; 41...Mask layer; 43...Etching ion; 45...Trench

Figure 1

**THIS PAGE IS BLANK**



Figure 2

**THIS PAGE IS BLANK**